

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-214622

⑬ Int.Cl.

H 03 M 9/00

識別記号

府内整理番号

6832-5J

⑭ 公開 昭和61年(1986)9月24日

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 アイソレーション用集積回路

⑯ 特願 昭60-55548

⑰ 出願 昭60(1985)3月19日

⑱ 発明者 谷田 真一 八王子市高倉町9番1号 横河・ヒューレット・パッカード株式会社内

⑲ 発明者 郡司 慶太 八王子市高倉町9番1号 横河・ヒューレット・パッカード株式会社内

⑳ 出願人 横河・ヒューレット・パッカード株式会社 八王子市高倉町9番1号

㉑ 代理人 弁理士 長谷川 次男

明細書

1. 発明の名称

アイソレーション用集積回路

2. 特許請求の範囲

(1) 複数ビットのアドレス端子と複数ビットのデータ端子と制御信号端子と直列信号端子とを設け、

内部には、

前記アドレス端子またはデータ端子に接続された複数のシフトレジスタと、

前記制御信号端子から与えられる制御信号に基いて前記複数シフトレジスタの各シフト入力とシフト出力と前記直列信号端子との間の相互接続を切換える接続回路とを設けて成るアイソレーション用集積回路。

(2) 特許請求の範囲第1項記載のアイソレーション用集積回路において、

前記直列信号端子は複数の直列入力信号端子と複数の直列出力信号端子より成ることを特徴とするアイソレーション用集積回路。

(3) 特許請求の範囲第1項記載のアイソレーション用集積回路において、

前記アドレス端子に接続されたデコーダを設け、

前記接続回路は更に前記デコーダと前記データ端子に接続され、前記デコーダ出力に応答して前記データ端子に与えられた信号により前記相互接続の設定を行なうことを特徴とするアイソレーション用集積回路。

3. 発明の詳細な説明

【発明の技術分野】

本発明はアイソレーション用集積回路、特に多目的に使用でき高速でデータ転送可能なアイソレーション用集積回路に関する。

【従来技術及びその問題点】

直流や低周波の計測にあたっては、測定系とACラインその他のグランド系との間のアイソレーションが重要である。このアイソレーションを行うため従来から各種の回路構成が提案してきた。これらの回路構成は基本的には並列データ

路間を直並列変換器・光カプラー直並列変換器から成る回路で結合している。そしてこの回路を制御するため、両系にプロセッサを設けている。あるいは、プロセッサが直接的に直並変換を行なう回路構成もあった。

上述の様な回路構成を用いた場合、データ転送速度がかなり低下し、また2つのプロセッサを用いることによる価格の上昇・ソフトウェア開発工数の増大も問題となっていた。また、プロセッサの介在なしに高速転送を行なおうとすると、回路が大きくなり、基板面積・消費電力・発熱量の増大が問題となる。

#### [発明の目的]

本発明の目的は上記従来技術の問題を解消し、少ない部品点数で系間のアイソレーションを実現するとともに、同一チップを多様な条件下で使用可能とすることによって、価格を引き下げ得るアイソレーション用集積回路を提供することを目的とする。

#### [発明の概要]

Sout 2 と IC10 の直列出力端子 SRO2 との間ににはタイミング・ブロック 12 のシリアル R/W 信号を直列出力端子から出力するため等に用いられる切換え回路 14 が設けられている。タイミング・ブロック 12 からシフトレジスタ・ブロック 18 へは以下の様な制御信号が与えられる：アドレス端子 A0 ないし A7 及びデータ端子 D0 ないし D7 とシフトレジスタ・ブロック 18 との間の伝送方向を夫々切換える信号 AOE; DOE; レジスタ類のクリアを行なうクリア信号；クロックに応答した動作を活性化／不活性化する信号 CKE; シフトレジスタ S0 ないし S3 に次のクロック・タイミングで並列ロードをおこさせるロード信号；シフト、並列ロード等のタイミングを与えるクロック信号。

接続回路 16 はシフトレジスタ・ブロック 18 中のシフトレジスタ S0, S1, S2, S3 の各シフト出力 SO0, SO1, SO2, SO3 及び IC10 の直列入力端子 SRI1, SRI2 から信号を入力し、動作モードに従って適当に経路を設定してシフトレジスタ S0,

上記目的を達成するため、本発明のアイソレーション用集積回路は、複数ビットのアドレス端子・データ端子と制御信号端子と直列信号端子とを外側に設け、内部にはアドレス端子・データ端子との間でデータ交換可能な複数のシフトレジスタと、これらシフトレジスタ相互及びシフトレジスタと直列信号端子間での直列転送経路の切換を行なう接続回路を有している。

#### [発明の実施例]

第1図は本発明の一実施例のブロック図である。第1図において、アイソレーション用集積回路（以下、単に「IC」と称する）10 内にはタイミング・ブロック 12、接続回路 16、シフトレジスタ・ブロック 18 が設けられている。シフトレジスタ・ブロック 18 中には制御レジスタ 19、4 ビットのシフトレジスタ S0, S1, S2, S3 が設けられている。タイミング・ブロック 12 と IC10 の端子間には IC の設定状態等によってこれらの間の接続を切換える双方向パッファやスイッチ 11, 13 が設けられている。また接続回路 16 の出力

S1, S2, S3 の各シフト入力 SI0, SI1, SI2, SI3 及び IC10 の直列出力端子 SRO1, SRO2 へ向かう出力 Sout1, Sout2 へ出力する。シフトレジスタ S0 ないし S3 及び接続回路 16 内のスイッチ SW1, SW2, SW3, SW4, SW5 の接続関係を第2図に示す。また IC10 の各動作モードにおけるこれらスイッチ SW1 ないし SW5 の接点位置を下表に示す。なお動作モードの意味や如何なる場合に各動作モードが用いられるかについては後述する。

#### 表

スイッチ	接点位置	動作モード
SW1	u	単方向モード
	e	双方向モード
SW2, SW3	u	双方向モードの書き込み
	e	" の読み出し
SW4	u	単方向モード
	m	双方向モードかつ主系モードの読み出し
	e	双方向モードかつ主系モードの書き込みまたは双方向モードかつ從系モードの読み出し
SW5	u	双方向モードかつ主系モードの読み出し
	e	双方向モードかつ主系モードの書き込みまたは双方向モードかつ從系モードの読み出し

また、IC10の各動作モードにおけるシフトレジスタS<sub>0</sub>ないしS<sub>3</sub>についてのアドレス及びデータの並列書き込み、読み出し及び直列転送の逐格の接続状態を第3図に示す。

第4図はIC10を双方向モードで使用した例を示すブロック図である。第4図においてIC10-1のT/R端子に+5Vを与えることにより主系モードに設定し、またIC10-1のT/R端子を接続することにより従系モードに設定する。また制御レジスタ19(第1図)の初期状態は双方向モードになっており、第4図の使用状態では制御レジスタ19を書き換えてはいないため、IC10-1、10-2とも双方向モードになっている。従系のクロックは光結合器43を介して主系から供給される。また主系側IC10-1のST、SRO1、SRO2、SRI1、SRI2の各端子は夫々光結合器44ないし48を介して従系側IC10-2のST、SRI1、SRI2、SRO1、SRO2の各端子に結合されている。またIC10-1の他の端子はたとえば測定器全体の制御を行なうCPUのCPUバスに接続

IC10-2の読み出し／書き込みのモードの設定のため、直列出力端子SRO2側から信号R/Wを送る。これにより従系側のIC10-2のシフトレジスタS<sub>0</sub>ないしS<sub>3</sub>の接続は第3図(b)の様に設定される。その後直列出力端子SRO1からはデータ端子D<sub>0</sub>ないしD<sub>7</sub>から並列に与えられたデータのうちの下位4ビットD<sub>3</sub>、D<sub>2</sub>、D<sub>1</sub>、D<sub>0</sub>を、また直列出力端子SRO2からは上位4ビットD<sub>7</sub>、D<sub>6</sub>、D<sub>5</sub>、D<sub>4</sub>をこの順で伝送する。これが終了すると今度はアドレス端子A<sub>0</sub>ないしA<sub>1</sub>から与えられた書き込みアドレスの下位、上位4ビットずつを同様に伝送する。これらの伝送が終了すると従系ではフローティング・バスに対して今受信したアドレス及びデータを夫々アドレス端子A<sub>0</sub>ないしA<sub>1</sub>及びデータ端子D<sub>0</sub>ないしD<sub>7</sub>から出力する。またアドレス及びデータのストローブ信号を夫々端子AS、DSからフローティング・バスに与える。

第4図に示す構成で従系側から読み出しを行なう場合の各種信号のタイムチャートを第6B図に示す。またこの時の主系側のIC10-1、従系側の

され、またIC10-2の他の端子は測定器中のアイソレーションを必要とする部分のフローティング・バスに接続される。

前掲の表中で読み出し、書き込みというモードについて言及したが、これらは夫々主系から従系のデータを読み出す、また従系へデータを書き込む、というモードである。読み出し、書き込みの設定はIC10-1のR/W端子に夫々論理1、0を与えることによってなされる。

主系側から従系側にデータを書き込む時、CPUバスから必要な信号がIC10-1に与えられると、シフトレジスタS<sub>0</sub>ないしS<sub>3</sub>の接続状態は第3図(a)に示す様になる(なお第3図で太い矢印は当該シフトレジスタに対する並列の入出力を示す)。この書き込みの動作を第6A図のタイムチャートに示す。第6A図においてIC10-1のAS端子にストローブ信号が与えられると、IC10-1のST端子からスタート信号が光結合器44を介して従系側のIC10-2のST端子に与えられ、直列伝送の開始を通知する。直列伝送後にあたっては先ず

IC10-2のシフトレジスタS<sub>0</sub>ないしS<sub>3</sub>の接続状態を夫々第3図の(c)及び(d)に示す。この場合は読み出しあドレスを主系側から与え、これによって従系側で読み出したデータを主系側に送信する動作が行なわれる。ここで第3図(c)、(d)に示す設定により、アドレスを上位、下位に分けて2つの直列伝送経路(SRO1、SRO2)で同時に伝送しているので、2つの直列伝送経路を夫々アドレス専用、データ専用として構成する場合に比較し、従系でのアドレス確定に要する時間が短縮される。またデータを主系側に返送する場合も同様な処理が行なわれる。

第1図に示すIC10の他の使用例のブロック図、およびこの動作を示すタイムチャートを夫々第5図および第7図に示す。この使用例においては主系から従系へのデータの書き込みだけが行なわれる所以、従系側の回路は簡単になっており、IC10はIC10-3として主系側だけに用いられている。IC10-3の端子T/R、R/Wは夫々+5Vおよび接地に接続され、これにより主系モー

ドでかつ書き込みに固定されている。また IC10-3を单方向モードに設定するため、初期設定時に IC10-3に所定アドレス、データを与えて書き込みを行ない、制御レジスタ 19に所定値を書き込む。従系側のクロックは主系側のクロックを IC10-3の端子 ST の出力とオア・ゲート 51で論理和をとった後、光結合器 52を介して与えられる。また IC10-3の端子 ST、SRO1、SRO2は光結合器 53、54、55を通して従系側に与えられる。

この動作モードにおける IC10-3内のシフトレジスタ S<sub>0</sub>ないし S<sub>3</sub>の接続状態を第3図(c)に示す。この接続状態および第7図のタイムチャートからわかる様に、この動作モードでは、直列出力端子 SRO1、SRO2を夫々アドレス、データ専用としている。これは、従系側に IC10 を用いない場合、アドレスやデータを2つに分けて同時に伝送する方式では従系側の回路が複雑化するためである。第5図の構成では書き込みアドレスが順次シフトレジスタ 56に入力される一方、書き込まれるべきデータが出力レジスタ 58-1ないし 58

用集積回路を提供することができ、システム・コストの低減に大いに有効である。

なお、本発明のアイソレーション用集積回路の作成にあたっては多様な方法を用いることができ、特に個数が少ない場合にはゲートアレイ等を用いても良い。また本発明は実施例の構成に限定されるものではなく、当業者にとっては多様な変型は容易である。たとえばアドレス、データの幅や直列伝送路の本数は必要に応じて自由に設定できる。また、光結合器等を介して与えられる制御用信号についても通常のバスや伝送路を介して受け取られるもの等から必要に応じて選択して良い。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、第2図は第1図中のシフトレジスタおよび接続回路の主要部の構成を示す回路図、第3図は各動作モードにおける第2図に示したシフトレジスタの接続状態を示す図、第4図および第5図は夫々本発明の一実施例のアイソレーション用集積回路の使用例を示すブロック図、第6A図および第6B図は

-8中のシフトレジスタ部に順次書き込まれる。アドレスおよびデータの直列伝送が終了すると、この動作モードにおいては端子 ST から終了信号が与えられる。この終了信号は従系側のアンド・ゲート 57-1ないし 57-8を開け、これにより選択された出力レジスタの端子 EN に選択信号が与えられる。たとえば出力レジスタ 58-1に選択信号が与えられると、出力レジスタ 58-1中のシフトレジスタの直、すなわち主系側から与えられた新データ、が同じく出力レジスタ 58-1中のラッチに転送される。これにより、選択された出力レジスタ 58-1の出力端子 d<sub>0</sub>ないし d<sub>3</sub>の値だけが旧データから新データに変わる。

#### 〔発明の効果〕

以上説明した様に、本発明によれば同一のICを動作モードの切換によって多様な情況下で使用することができる。集積回路においては、同一の品種が多段使用できる様にすることが集積回路の製造コストを抑える点で有効である。従って、本発明によれば高機能で低価格のアイソレーション

第4図中の使用例の動作を示すタイムチャート、第7図は第5図中の使用例の動作を示すタイムチャートである。

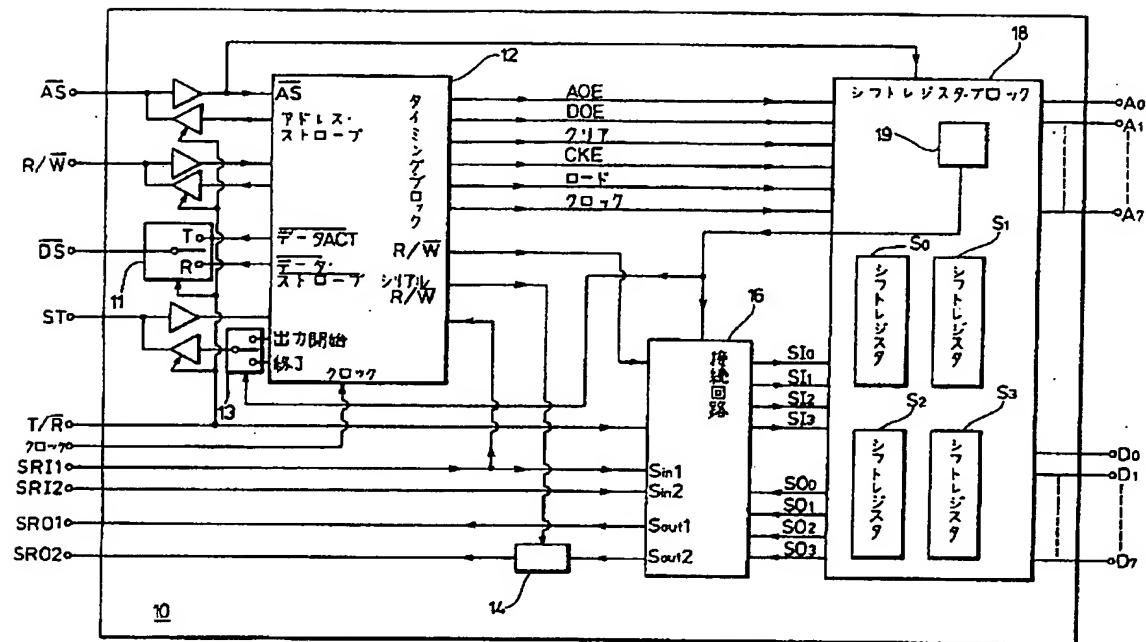
10, 10-1, 10-2, 10-3 : アイソレーション用  
集積回路、

12 : タイミング・ブロック、  
16 : 接続回路、  
18 : シフトレジスタ・ブロック、  
19 : 制御レジスタ、  
S<sub>0</sub>ないし S<sub>3</sub> : シフトレジスタ、  
SRI1, SRI2 : 直列入力端子、  
SRO1, SRO2 : 直列出力端子、  
A<sub>0</sub>ないし A<sub>7</sub> : アドレス端子、  
D<sub>0</sub>ないし D<sub>3</sub> : データ端子、  
SW1ないし SW5 : スイッチ。

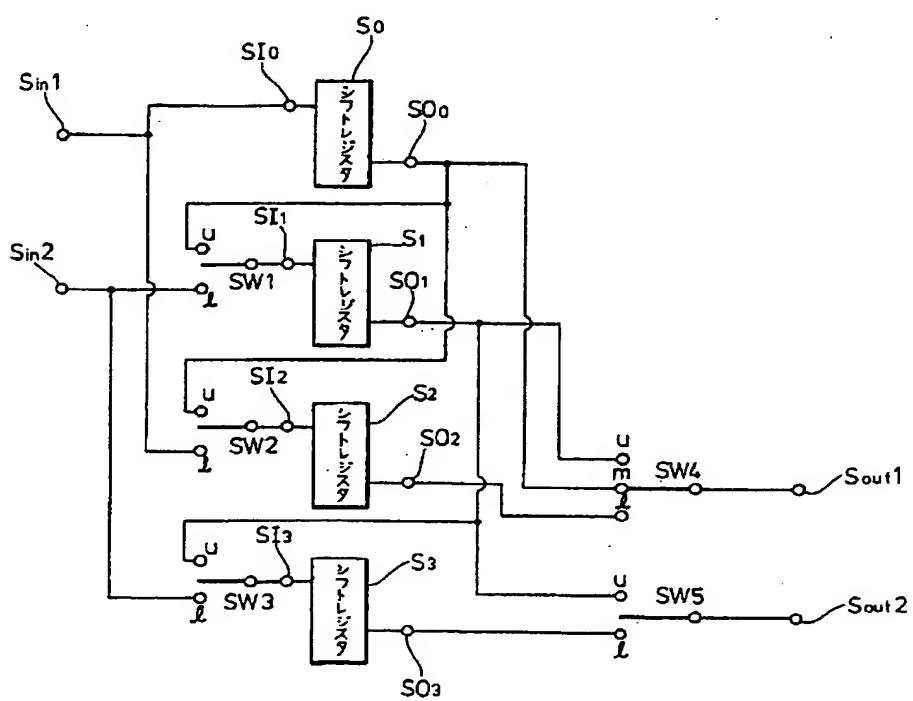
出願人 横河・ヒューレット・パッカード株式会社

代理人 弁護士 堀谷川 次男

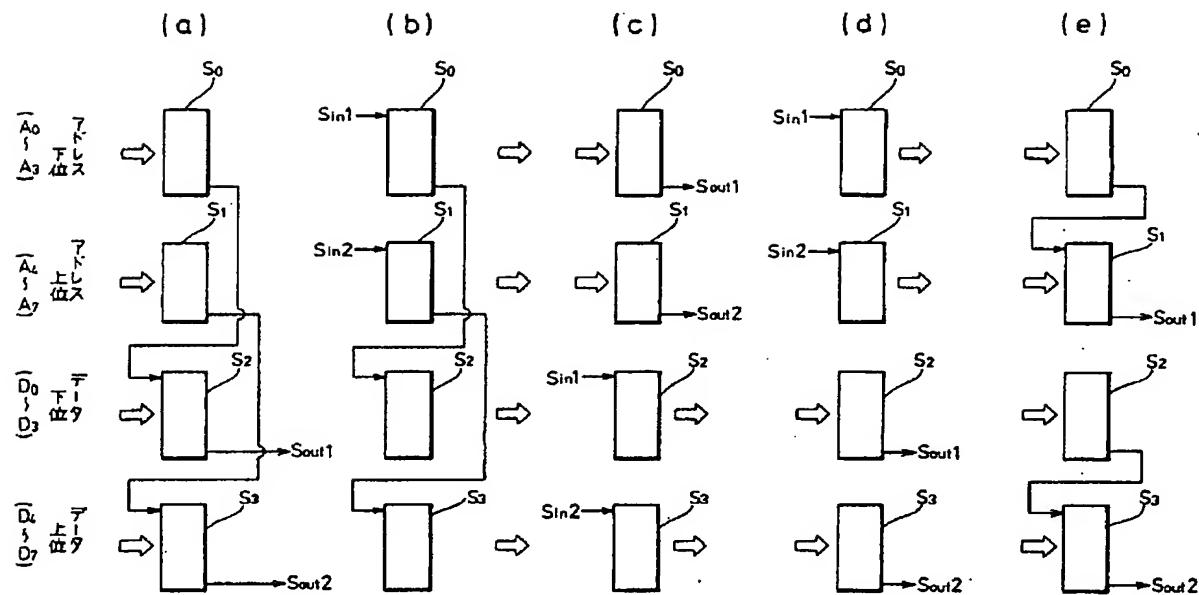
第1図



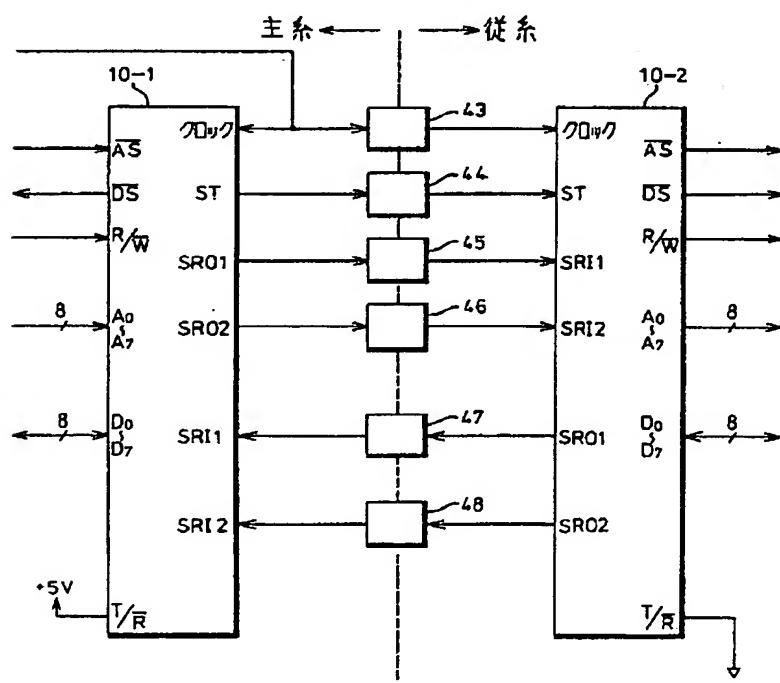
第2図



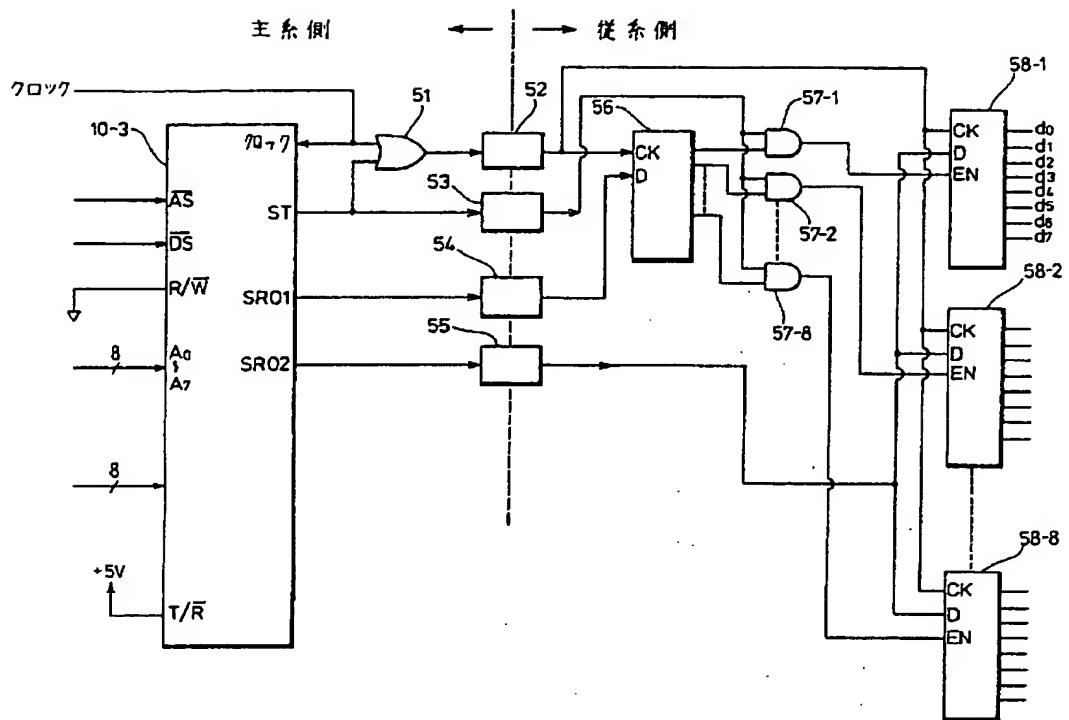
第3図



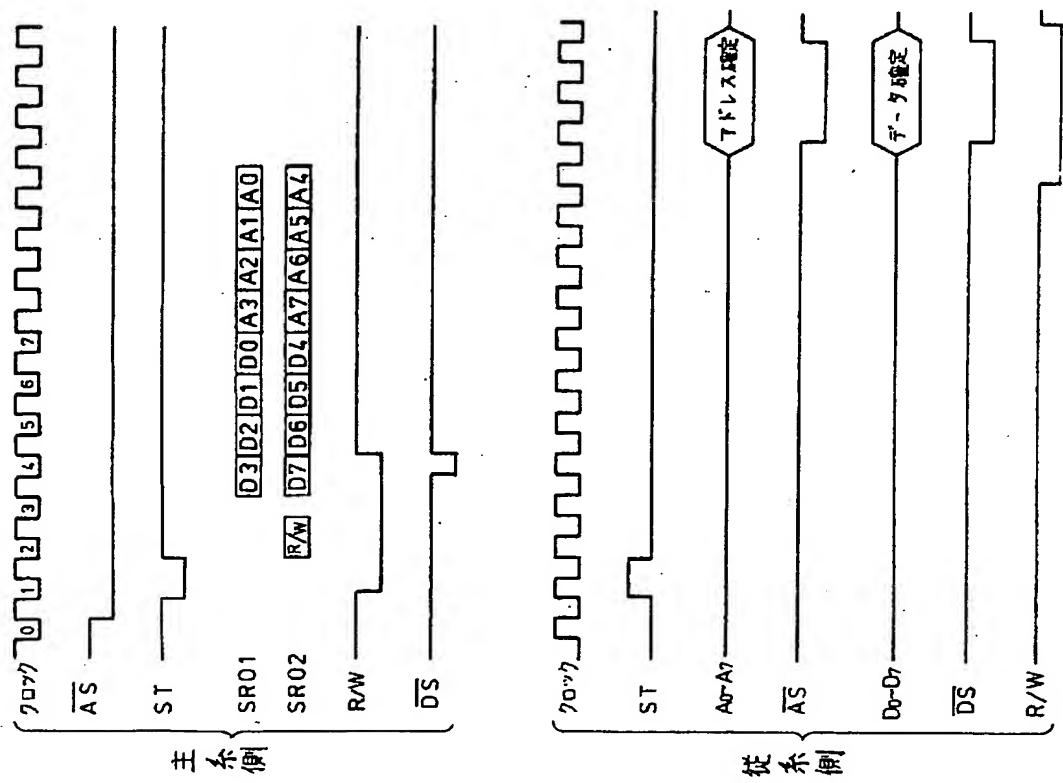
第4図



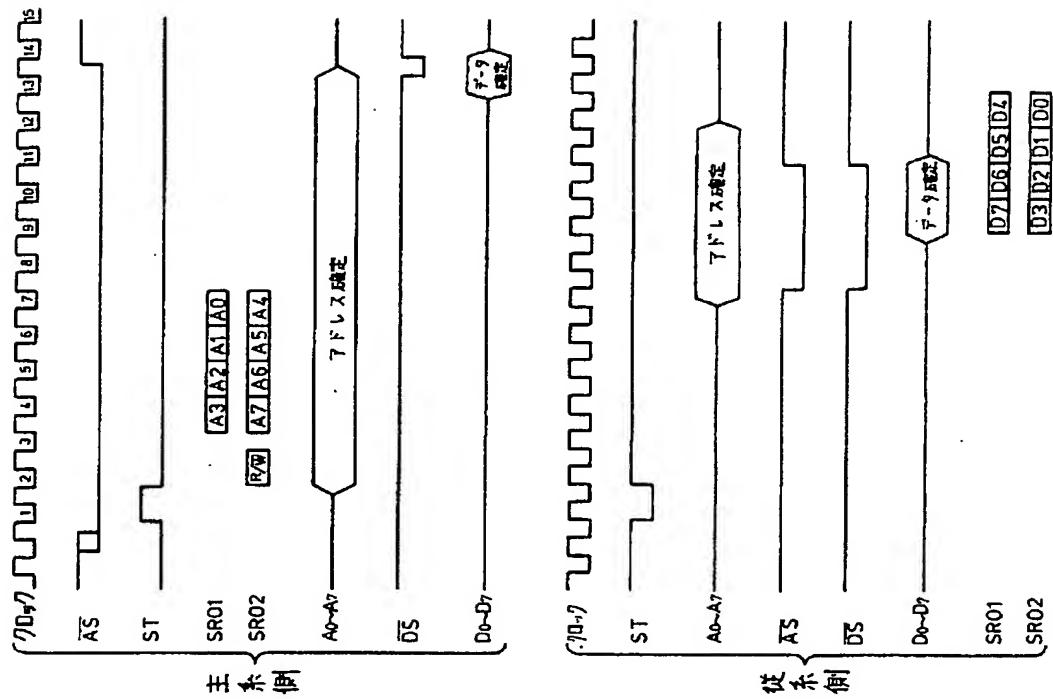
第5回



第6章



第6B図



第7図

